

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 1 2 日  
Date of Application:

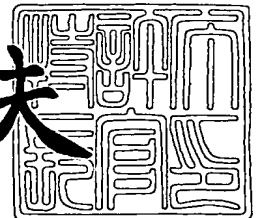
出 願 番 号            特 願 2 0 0 3 - 0 6 6 0 8 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 6 6 0 8 1 ]

出   願   人            ソニー株式会社  
Applicant(s):

2 0 0 3 年 1 1 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290729103

【提出日】 平成15年 3月12日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 43/08

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 堀越 浩

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 磁気記憶装置の製造方法

【特許請求の範囲】

【請求項 1】 第 1 配線を形成する工程と、

トンネル絶縁層を強磁性体で挟んでなるもので前記第 1 配線と電氣的に絶縁された磁気抵抗効果型の記憶素子を形成する工程と、

前記記憶素子を覆う絶縁膜を形成する工程と、

電氣的に前記記憶素子と接続するもので前記記憶素子を間にして前記第 1 配線と立体的に交差する第 2 配線を前記絶縁膜に埋め込むように形成する工程と

を備えた不揮発性の磁気記憶装置の製造方法において、

前記第 2 配線側部の前記絶縁膜を除去して前記第 2 配線を露出させる工程と、

前記第 2 配線表面にのみ選択的に軟磁性体層を形成する工程と

を備えたことを特徴とする磁気記憶装置の製造方法。

【請求項 2】 前記軟磁性体層は無電解メッキ法により形成されることを特徴とする請求項 1 記載の磁気記憶装置の製造方法。

【請求項 3】 前記第 2 配線側部の絶縁膜は、エッチングストッパ層と、前記エッチングストッパ層上に形成された層間絶縁膜とからなり、

前記第 2 配線側部の前記絶縁膜を除去して前記第 2 配線を露出させる工程では、前記層間絶縁膜を除去する際に一旦前記エッチングストッパ層でエッチングが停止される

ことを特徴とする請求項 1 記載の磁気記憶装置の製造方法。

【請求項 4】 前記第 2 配線は前記絶縁膜に形成された溝にバリア層を介して形成され、

前記絶縁膜を除去した後で前記軟磁性体層を形成する前に前記第 2 配線側部の前記バリア層を除去する

ことを特徴とする請求項 1 記載の磁気記憶装置の製造方法。

【請求項 5】 前記第 2 配線は前記絶縁膜に形成された溝にバリア層を介して形成され、

前記絶縁膜を除去した後で前記軟磁性体層を形成する前に、



前記第 2 配線間にマスクパターンを形成する工程とを備え、  
前記第 2 配線表面に軟磁性体層を形成する工程は、前記マスクパターンをマスクにして前記第 2 配線表面にのみ選択的に前記軟磁性体層を形成し、  
その後前記マスクパターンを除去する工程  
を備えたことを特徴とする請求項 1 記載の磁気記憶装置の製造方法。

【請求項 6】 前記第 2 配線は前記絶縁膜に形成された溝にバリア層を介して形成され、

前記絶縁膜を除去した後で前記軟磁性体層を形成する前に、  
前記第 2 配線側部の前記バリア層を除去する工程と、  
前記第 2 配線間にマスクパターンを形成する工程とを備え、  
前記第 2 配線表面に軟磁性体層を形成する工程は、前記マスクパターンをマスクにして前記第 2 配線表面にのみ選択的に前記軟磁性体層を形成し、  
その後前記マスクパターンを除去する工程  
を備えたことを特徴とする請求項 1 記載の磁気記憶装置の製造方法。

【請求項 7】 第 1 配線を形成する工程と、  
トンネル絶縁層を強磁性体で挟んでなるもので前記第 1 配線と電氣的に絶縁された磁気抵抗効果型の記憶素子を形成する工程と、  
前記記憶素子を覆う絶縁膜を形成する工程と、  
電氣的に前記記憶素子と接続するもので前記記憶素子を間にして前記第 1 配線と立体的に交差する第 2 配線を前記絶縁膜に埋め込むように形成する工程と  
を備えた不揮発性の磁気記憶装置の製造方法において、  
前記第 2 配線は前記絶縁膜に形成された溝にバリア層を介して形成され、  
前記第 2 配線側壁の前記バリア層を除去して溝を形成し前記第 2 配線の側壁を露出させる工程と、  
前記溝内を埋め込むとともに前記第 2 配線の側壁を含む表面にのみ選択的に軟磁性体層を形成する工程と  
を備えたことを特徴とする磁気記憶装置の製造方法。

【請求項 8】 前記溝を形成する工程は、前記第 2 配線側部のバリア層を除去するとともに前記バリア層に隣接する部分の前記絶縁膜を除去して前記第 2 配



線側方に溝を形成する工程からなる

ことを特徴とする請求項 7 記載の磁気記憶装置の製造方法。

【請求項 9】 第 1 配線を形成する工程と、

トンネル絶縁層を強磁性体で挟んでなるもので前記第 1 配線と電氣的に絶縁された磁気抵抗効果型の記憶素子を形成する工程と、

前記記憶素子を覆う絶縁膜を形成する工程と、

電氣的に前記記憶素子と接続するもので前記記憶素子を間にして前記第 1 配線と立体的に交差する第 2 配線を前記絶縁膜に埋め込むように形成する工程と

を備えた不揮発性の磁気記憶装置の製造方法において、

前記第 2 配線を形成する工程は、

前記絶縁膜に形成された前記第 2 配線を形成するための溝内にバリア層を形成する工程と、

前記溝の側壁に前記バリア層を介して軟磁性体層を形成する工程と、

前記溝内に前記バリア層および前記軟磁性体層を介して前記第 2 配線を形成する工程とからなり、

前記第 2 配線を形成した後、前記第 2 配線上に選択的に軟磁性体層を形成する工程

を備えたことを特徴とする磁気記憶装置の製造方法。

【請求項 10】 前記第 2 配線上に選択的に軟磁性体層を形成する工程は無電解メッキ法による

ことを特徴とする請求項 9 記載の磁気記憶装置の製造方法。

【請求項 11】 前記第 2 配線上に選択的に軟磁性体層を形成する工程は、

前記第 2 配線を除く前記絶縁膜上にマスクパターンを形成する工程と、

前記マスクパターンをマスクに用いて無電解メッキ法により前記第 2 配線上のみに選択的に軟磁性体層を形成する工程と、

前記マスクパターンを除去する工程と

を備えたことを特徴とする請求項 9 記載の磁気記憶装置の製造方法。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、磁気記憶装置の製造方法に関し、詳しくは強磁性体のスピン方向が平行もしくは反平行によって抵抗値が変化することを利用して情報を記憶する不揮発性の磁気記憶装置の製造方法に関する。

**【0002】****【従来の技術】**

情報通信機器、特に携帯端末などの個人用小型機器の飛躍的な普及にともない、これを構成するメモリ素子やロジック素子等の素子には、高集積化、高速化、低消費電力化など、一層の高性能化が要求されている。特に不揮発性メモリはユビキタス時代に必要不可欠の素子と考えられている。

**【0003】**

例えば、電源の消耗やトラブル、サーバーとネットワークが何らかの障害により切断された場合であっても、不揮発性メモリは個人の重要な情報を保護することができる。そして、不揮発性メモリの高密度化、大容量化は、可動部分の存在により本質的に小型化が不可能なハードディスクや光ディスクを置き換える技術としてますます重要になってきている。

**【0004】**

また、最近の携帯機器は不要な回路ブロックをスタンバイ状態にしてでき得る限り消費電力を抑えようと設計されているが、高速ネットワークメモリと大容量ストレージメモリを兼ねることができる不揮発性メモリが実現できれば、消費電力とメモリとの無駄を無くすることができる。また、電源を入れると瞬時に起動できる、いわゆるインスタント・オン機能も高速の大容量不揮発性メモリが実現できれば可能になってくる。

**【0005】**

不揮発性メモリとしては、半導体を用いたフラッシュメモリや、強誘電体を用いたFRAM (Ferro electric Random Access Memory) などがあげられる。しかしながら、フラッシュメモリは、書き込み速度が $\mu$ 秒の桁であるため遅いという欠点がある。また構造が複雑なために高集積化が困難であり、しかも、アクセス時間が100 ns程度と遅いという欠点がある。一方、FRAMにおいては、

書き換え可能回数が $10^{12} \sim 10^{14}$ 回で、完全にスタティックランダムアクセスメモリやダイナミックランダムアクセスメモリに置き換えるには耐久性が低いという問題が指摘されている。また、強誘電体キャパシタの微細加工が難しいという課題も指摘されている。

#### 【0006】

これらの欠点を有さない不揮発性メモリとして注目されているのが、MRAM (Magnetic Random Access Memory) もしくはMR (Magnetoresistance) メモリと呼ばれる磁気メモリであり、近年のトンネル磁気抵抗効果素子（以下、TMR：という、TMRはTunnel Magnetic Resistanceの略）材料の特性向上により注目を集めるようになってきている（例えば、非特許文献1参照。）。また、MRAMは配線部に記憶素子を形成することから、記憶部搭載の大きな自由度、容易なインテグレーション、容易なロジック回路との混載、CMOSプロセスとのコンパティビリティ等の点で優れている。

#### 【0007】

MRAMは、構造が単純であるため高集積化が容易であり、また磁気モーメントの回転により記憶を行うために、書き換え回数が大であると予測されている。またアクセス時間についても、非常に高速であることが予想され、既に100MHzで動作可能であることが報告されている（例えば、非特許文献2参照。）。また、GMR効果により高出力が得られるようになった現在では、大きく改善されてきている。

#### 【0008】

上記MRAMは、今までの電子(電気)による記憶機能とは異なり、磁化方向の変動により生じる磁気抵抗変化を記憶媒体とする装置であり、磁化方向変化の応答を電子伝導の応答と同等の速度で動作させる必要がある。MRAMの磁化方向はメタル配線に流れる電流により変化する。すなわち、配線に電流が流れることにより、配線を中心に磁界が発生する。その磁界をMRAM素子（TMRまたはMTJ）が検知し、MRAM素子内の磁性体が配線から発生した磁界方向にリンクした方向に磁化される。磁性体が磁化されると、磁気抵抗が発生するため、その磁気抵抗を電圧、電流変化として読み取る。発生した磁界を効率よく、MRA

M素子に導引することが重要であり、MRAM素子の動作速度及び感度を決定するものと予想される。効率良く磁界をMRAM素子に導引するための因子としては、(I) 強い磁界の発生、(II) 磁界発散の低減、(III) MRAM素子の強磁界部への設置、(IV) 高感度なMRAM素子等々があげられる。

#### 【0009】

(I) に関しては、磁界強度は電流密度に依存し、配線の電流密度増加にしたがい、磁界強度は増加する。電流密度の増加は配線のエレクトロマイグレーションを加速する方向であるため、アルミニウム配線ではなく、銅配線を適用することにより、改善を試みている。(III) に関しては、配線とMRAM素子を近接するように配置することにより解決される。(IV) に関しては、MRAM素子材料および形成方法により解決される。

#### 【0010】

(II) に関して具体的に説明する。MRAMにおける記憶は、配線に電流を流すことによって発生する電流磁場によって記憶層の磁化を回転させることで行っている。ところが、高集積化によって、配線が細くなるにともない、書き込み線に流すことができる臨界電流値が下がるため、得られる磁界が小さくなり、被記憶領域の保磁力を小さくせざるを得ない。これは、情報記憶装置の信頼性が低下することを意味する。また、磁界は光や電子線のように絞ることができないため、高集積化した場合にはクロストークの大きな原因になると考えられる。これを防止するためにキーパ構造等も提案されているが、構造の複雑化は避けられない。以上のように、電流磁場による書き込みには本質的に多くの課題があり、電流磁場による書き込みが将来のMRAMにおける大きな欠点になる恐れがある。

#### 【0011】

(II) に関しては、クラッド構造といわれる配線部を軟磁性体にて囲う方法にて解決を図ろうとしている。ただし、完全に配線を囲うわけではなく、MRAM素子と対面する配線面から磁界をMRAM素子へ供給しなければならないので、MRAM素子面側の軟磁性体の形成は行われていない。具体的には、ワード線は、通常、MRAM素子の下層に設置されるため、ワード線上層には軟磁性体を形成しない。ビット線はMRAM素子の上層に設置されるため、ビット線下層には



軟磁性体を形成しない（例えば、特許文献1参照。）。

#### 【0012】

また、クラッド構造形成に関しては、いくつかの方法が提案されており、最も一般的な方法を、以下に説明する。この製造方法はワード線に関するものである。

#### 【0013】

図示はしないが、（a）絶縁膜に形成されたワード線を形成するための配線溝の内面にバリアメタル層、軟磁性体層、銅シード層を、例えばスパッタリングによって成膜する。（b）めっき法もしくは化学的気相成長法等により、配線溝を配線材料で埋め込む。（c）配線溝のみに配線材料を残すように、絶縁膜上に形成された余剰な配線材料を化学的機械研磨により除去するとともに絶縁膜表面を平坦化することで、配線溝内にのこされた配線材料からなるワード線が形成される。

#### 【0014】

一方、ビット線のクラッド構造の形成方法は複雑である。その一例を図9～図11の概略構成断面図によって説明する。図9（1）に示すように、基板（図示せず）上に選択素子（図示せず）、センス線（図示せず）等が形成され、それらを覆う状態に第1絶縁膜41が形成されている。この第1絶縁膜41上にワード線等が形成される第2絶縁膜42が形成され、この第2絶縁膜42に溝配線構造のワード線11、選択素子（図示せず）に接続される電極（図示せず）等が形成されている。第2絶縁膜42上にはワード線11、電極を被覆する第3絶縁膜43を介して、ワード線11上に記憶素子13が形成されている。この記憶素子13は例えばトンネル磁気抵抗（TMR：Tunnel Magnetic Resistance）素子からなる。また、記憶素子13の下部には反強磁性層、導電層等で構成されるバイパス線17が形成され、電極に接続されている。第3絶縁膜43上には記憶素子13を被覆する状態に第4絶縁膜44が形成され、その第4絶縁膜44を平坦化して記憶素子13上面が露出されている。その後第4絶縁膜44上に記憶素子13を覆うものでビット線が形成される第5絶縁膜45を成膜した後、上記記憶素子13上面が底面に露出されるようにビット線が形成される配線溝46を形成する。

とともにワード線 11 へ達する接続孔(図示せず)を形成する。

#### 【0015】

次いで、図 9 (2) に示すように、配線溝 46 および接続孔にバリアメタル層 121、軟磁性体層 122 を順次成膜する。バリアメタル層 121 は、スパッタリング法、化学的気相成長(以下、CVD という)法、ALD (Atomic Layer Deposition) 法等で成膜し、その成膜方法はバリアメタル層 121 が形成される配線溝形状および大きさにより選択する。バリアメタル層 121 は、タンタル (Ta)、窒化タンタル (Ta<sub>3</sub>N<sub>5</sub>)、窒化チタン (TiN)、チタン (Ti)、窒化タンゲステン (WN)、窒化ジルコニウム (ZrN) 等が用いられ、その膜厚は、5 nm ~ 50 nm の範囲が適当である。軟磁性体層 122 は、スパッタリング法等を用いる。軟磁性体層 122 の膜厚は、後述のエッチバック量で調整する必要がある。すなわち、エッチバックでは、配線溝 46 底部の軟磁性体層 122 を完全除去すること、かつ配線溝 46 側壁に磁束収束効果を有するための膜厚を残すことの両方を満足する必要があるためである。このことは、軟磁性体層 122 の膜厚だけでなく、成膜方法の有する被覆性(カバレッジ)にも影響される。例えば、スパッタリング法の場合、サイドカバレッジは多くて十数%、底部カバレッジは数十%である。このようにサイドカバレッジが悪いため、ある程度厚い膜を成膜する必要がある。

#### 【0016】

次いで、図 9 (3) に示すように、配線溝底部に成膜された軟磁性体層を除去する(一般的には、ドライエッチングによるエッチバックを採用)。本工程は、配線溝 46 底部の軟磁性体層 122 の完全除去と配線溝側壁に磁束収束効果を有するだけの軟磁性体層 122 の膜厚を残すことが重要である。本工程は、異方性エッチングを用いるのが一般的であり、配線溝 46 側壁に軟磁性体層 122 を残す必要があることから、より異方性の強いエッチングが望ましく、ICP (Inductively Coupled Plasma)、電子サイクロトロン共鳴 (ECR: Electron Cyclotron Resonance) 等の高密度エッチング種を発生させるプラズマエッチング技術を用いる。

#### 【0017】

次いで、図 9 (4) に示すように、配線溝 4 6 および接続孔内面に再びバリアメタル層 1 2 3 を形成した後、銅シード層 1 2 4 を成膜する。銅シード層 1 2 4 は、例えば、スパッタリング法、CVD 法等を用いる。その成膜方法の選択および膜厚はビット線が形成される配線溝 4 6 および接続孔の形状および大きさによって適宜選択される。

#### 【0018】

さらに図 10 (5) に示すように、例えば電解めっき法 (ECD: electro-chemical deposition) もしくは CVD 法等により、配線溝 4 6 および接続孔に配線材料 1 2 5 を埋め込む。

#### 【0019】

その後図 10 (6) に示すように、配線溝 4 6 および接続孔の内部に配線材料 1 2 5 を残すように、第 5 絶縁膜 4 5 上の余剰な配線材料 (銅シード層 1 2 4 も含む) 1 2 5、バリアメタル層 1 2 3、1 2 1 [前記図 9 参照] を化学的機械研磨により除去し、配線溝 4 6 および接続孔内に配線材料 1 2 5、バリアメタル層 1 2 3、1 2 1、軟磁性体層 1 2 2 等を残してビット線 1 2 を形成するとともに表面を平坦化する。

#### 【0020】

次いで図 10 (7) に示すように、上記第 5 絶縁膜 4 5 上にビット線 1 2 を被覆する軟磁性体層 1 2 6 を成膜する。軟磁性体層 1 2 6 の成膜等に関しては、前記した方法と同様である。また、軟磁性体層 1 2 6 の材料によっては、デバイス中へ拡散する原子を含むものもあるので、その場合には、軟磁性体層 1 2 6 の下にバリアメタル層を設けることが好ましい。

#### 【0021】

次いで図 11 (8) に示すように、レジスト塗布およびリソグラフィ技術により、ビット線 1 2 を被覆する磁性体層パターンを形成するためのレジストマスク 5 1 を、ビット線 1 2 上に形成する。このレジストマスク 5 1 はビット線 1 2 上を完全に覆うようにする必要がある。なぜならば、軟磁性体層 1 2 6 が形成されていない部分から磁束漏れが発生し、その磁束漏れ部に磁束漏れが集中するためである。ミスアライメントによるレジストマスクずれは、磁束漏れの要因にな

るため、ミスアライメントが発生しても、軟磁性体層 126 がビット線 12 を覆うように、レチクルマスクにマージンを設ける必要がある。

#### 【0022】

次いで図 11 (9) に示すように、上記レジストマスク 51 を用いたドライエッチングにより軟磁性体層 126 を加工し、その後レジストマスク 51 として用いたレジスト膜を剥離し、さらにクリーニングを行う。この結果、図 11 (10) に示すように、ビット線 12 の側方および上方を被覆する軟磁性体層 122、126 が形成される。

#### 【0023】

なお、レジストマスク 51 を用いて軟磁性体層 126 をエッチングする際に、レジストマスク 51 の耐久性に問題がある場合がある。その場合には、シリコン酸化膜または窒化膜からなるハードマスクを用いる。例えば、軟磁性体層 126 を成膜した後、ハードマスクとなるシリコン酸化膜または窒化膜を成膜し、レジストマスクを用いてハードマスクを加工し、レジスト剥離後、軟磁性体のエッチングを行うというプロセスとなる。

#### 【0024】

上記説明したように、ワード線のクラッド構造形成に関しては、簡単なプロセスで実施することが可能であり、問題はない。

#### 【0025】

##### 【特許文献 1】

特開 2002-246566 号公報 (第 4 頁、図 6)

##### 【非特許文献 1】

Wang et al., IEEE Trans. Magn. 33 (1997) p4498-4512

##### 【非特許文献 2】

R.Scheuerlein et al, ISSCC Digest of Papers (Feb.2000) p128-12

9

#### 【0026】

##### 【発明が解決しようとする課題】

しかしながら、ビット線のクラッド構造形成に関しては、いくつかの課題があ

る。それらを以下に記述する。8工程と多くのプロセスが必要である。ドライエッチングによるエッチバック法で、配線溝側壁に軟磁性体を残しつつ、配線溝底部の軟磁性体を除去するには、プロセスの安定性およびマージンに課題がある。配線上部の軟磁性体層形成のために、層間膜に軟磁性体層を直接成膜するため層間膜が汚染される問題がある。汚染を考慮して、軟磁性体／バリアメタル構造にした場合、ドライエッチングの負担およびビット線平坦化の劣化等が予想される。ビット線上層の軟磁性体被覆は磁界封じ込みのため完全に覆う必要がある。そのため、リソグラフィ工程における合わせ余裕を考慮したマスクが必要である。すなわち、微細化に対して、不利なプロセスである。このように、ビット線へのクラッド構造形成には、大きな課題がある。

#### 【0027】

##### 【課題を解決するための手段】

本発明は、上記課題の全部もしくは一部を解決するためになされた磁気記憶装置の製造方法である。

#### 【0028】

本発明の磁気記憶装置の第1製造方法は、第1配線を形成する工程と、トンネル絶縁層を強磁性体で挟んでなるもので前記第1配線と電氣的に絶縁された磁気抵抗効果型の記憶素子を形成する工程と、前記記憶素子を覆う絶縁膜を形成する工程と、電氣的に前記記憶素子と接続するもので前記記憶素子を間にして前記第1配線と立体的に交差する第2配線を前記絶縁膜に埋め込むように形成する工程とを備えた不揮発性の磁気記憶装置の製造方法において、前記第2配線側部の前記絶縁膜を除去して前記第2配線を露出させる工程と、前記第2配線表面にのみ選択的に軟磁性体層を形成する工程とを備えている。

#### 【0029】

上記磁気記憶装置の第1製造方法では、前記第2配線側部の前記絶縁膜を除去して前記第2配線を露出させる工程と、前記第2配線表面にのみ選択的に軟磁性体層を形成する工程とを備えていることから、第2配線の側壁および第2配線上面は選択的に形成された軟磁性体層によって被覆されるので、第2配線で発生した電流磁界を効率よく記憶素子に導くことができる。また、軟磁性体層は選択的

に形成されるため、従来のようなリソグラフィー技術、エッチング技術等は必要なく、無電解めっき法により形成することが可能になるので、工程数の削減が可能になる。また、軟磁性体層のドライエッチングによるエッチバックは行われないので、プロセスの安定性およびマージンが確保できる。また、リソグラフィーによるマスクの合わせ余裕を考慮する必要がないため、微細化が図れる。また、絶縁膜上に軟磁性体層が直接形成されないため、軟磁性体層による絶縁膜の汚染がない。

### 【0030】

本発明の磁気記憶装置の第2製造方法は、第1配線を形成する工程と、トンネル絶縁層を強磁性体で挟んでなるもので前記第1配線と電気的に絶縁された磁気抵抗効果型の記憶素子を形成する工程と、前記記憶素子を覆う絶縁膜を形成する工程と、電気的に前記記憶素子と接続するもので前記記憶素子を間にして前記第1配線と立体的に交差する第2配線を前記絶縁膜に埋め込むように形成する工程とを備えた不揮発性の磁気記憶装置の製造方法において、前記第2配線は前記絶縁膜に形成された溝にバリア層を介して形成され、前記第2配線側壁の前記バリア層を除去して溝を形成し前記第2配線の側壁を露出させる工程と、前記溝内を埋め込むとともに前記第2配線の側壁を含む表面にのみ選択的に軟磁性体層を形成する工程とを備えている。

### 【0031】

上記磁気記憶装置の第2製造方法では、前記第2配線は前記絶縁膜に形成された溝にバリア層を介して形成され、前記第2配線側壁の前記バリア層を除去して溝を形成し前記第2配線の側壁を露出させる工程と、前記溝内を埋め込むとともに前記第2配線の側壁を含む表面にのみ選択的に軟磁性体層を形成する工程とを備えていることから、第2配線の側壁および第2配線上面は選択的に形成された軟磁性体層によって被覆されるので、第2配線で発生した電流磁界を効率よく記憶素子に導くことができる。また、軟磁性体層は選択的に形成されるため、従来のようなリソグラフィー技術、エッチング技術等は必要なく、無電解メッキにより形成することが可能になるので、工程数の削減が可能になる。また、軟磁性体層のドライエッチングによるエッチバックは行われないので、プロセスの安定性

およびマージンが確保できる。また、リソグラフィーによるマスクの合わせ余裕を考慮する必要がないため、微細化が図れる。また、絶縁膜上に軟磁性体層が直接形成されないため、軟磁性体層による絶縁膜の汚染がない。

### 【0032】

本発明の磁気記憶装置の第3製造方法は、第1配線を形成する工程と、トンネル絶縁層を強磁性体で挟んでなるもので前記第1配線と電氣的に絶縁された磁気抵抗効果型の記憶素子を形成する工程と、前記記憶素子を覆う絶縁膜を形成する工程と、電氣的に前記記憶素子と接続するもので前記記憶素子を間にして前記第1配線と立体的に交差する第2配線を前記絶縁膜に埋め込むように形成する工程とを備えた不揮発性の磁気記憶装置の製造方法において、前記第2配線を形成する工程は、前記絶縁膜に形成された溝内にバリア層を形成する工程と、前記溝の側壁に前記バリア層を介して軟磁性体層を形成する工程と、前記溝内に前記バリア層および前記軟磁性体層を介して前記第2配線を形成する工程とからなり、前記第2配線を形成した後、前記第2配線上に選択的に軟磁性体層を形成する工程を備えている。

### 【0033】

上記磁気記憶装置の第3製造方法では、前記第2配線を形成する工程は、前記絶縁膜に形成された溝内にバリア層を形成する工程と、前記溝の側壁に前記バリア層を介して軟磁性体層を形成する工程と、前記溝内に前記バリア層および前記軟磁性体層を介して前記第2配線を形成する工程とからなることから、第2配線の側壁に軟磁性体層が形成される。さらに、前記第2配線を形成した後、前記第2配線上に選択的に軟磁性体層を形成する工程を備えていることから、第2配線の側壁に形成された軟磁性体層と第2配線上に選択的に形成された軟磁性体層とによって、第2配線は囲まれるので、第2配線で発生した電流磁界を効率よく記憶素子に導くことができる。また、第2配線上部の軟磁性体層は選択的に形成されるため、従来のようなリソグラフィー技術、エッチング技術等は必要なく、無電解メッキにより形成することが可能になるので、工程数の削減が可能になる。また、リソグラフィーによるマスクの合わせ余裕を考慮する必要がないため、微細化が図れる。また、絶縁膜上に軟磁性体層が直接形成されないため、軟磁性体

層による絶縁膜の汚染がない。

#### 【0034】

##### 【発明の実施の形態】

本発明の磁気記憶装置の製造方法に係る第1実施の形態を、図1の製造工程断面図によって説明する。なお、以下の実施の形態における断面図では、ビット線の幅方向断面、言い換えればワード線の配設方向断面を示す。

#### 【0035】

図1(1)に示すように、基板(図示せず)上に選択素子(図示せず)、センス線(図示せず)等が形成され、それらを覆う状態に第1絶縁膜41が形成されている。この第1絶縁膜41上にワード線等が形成される第2絶縁膜42が形成され、この第2絶縁膜42に溝配線構造のワード線(第1配線)11、選択素子(図示せず)に接続される電極(図示せず)等が形成されている。第2絶縁膜42上にはワード線11、電極を被覆する第3絶縁膜43を介して、ワード線11上に記憶素子13が形成されている。この記憶素子13はトンネル絶縁層を強磁性体で挟んでなるもので上記ワード線11と電気的に絶縁された磁気抵抗効果型の記憶素子で、例えばトンネル磁気抵抗(TMR:Tunnel Magnetic Resistance)素子もしくは巨大磁気抵抗(GMR:Giant Magneto Resistance)素子からなる。また、記憶素子13の下部には反強磁性層、導電層等で構成されるバイパス線17が形成され、電極に接続されている。第3絶縁膜43上には記憶素子13を被覆する状態に第4絶縁膜44が形成され後、その第4絶縁膜44を平坦化して記憶素子13上面が露出されている。その後第4絶縁膜44上に記憶素子13を覆うものでビット線が形成される第5絶縁膜45を成膜した後、上記記憶素子13上面が底面に露出されるようにビット線が形成される配線溝46を形成するとともにワード線11への接続孔(図示せず)を形成する。

#### 【0036】

次いで、配線溝46および接続孔にバリアメタル層121、銅シード層124を順次成膜する。バリアメタル層121は、スパッタリング法、化学的気相成長(以下、CVDという)法、ALD(Atomic Layer Deposition)法等で成膜し、その成膜方法はバリアメタル層121が形成される配線溝形状および大きさに





より選択する。バリアメタル層 121 は、タンタル (Ta)、窒化タンタル (Ta<sub>N</sub>)、窒化チタン (Ti)、チタン (Ti)、窒化タングステン (WN)、窒化ジルコニウム (Zn<sub>N</sub>) 等が用いられ、その膜厚は、5 nm～50 nm の範囲が適当である。

#### 【0037】

銅シード層 124 は、例えば、スパッタリング法、CVD 法等を用いる。その成膜方法の選択および膜厚はビット線が形成される配線溝 46 および接続孔の形状および大きさによって適宜選択される。

#### 【0038】

さらに、例えば電解めっき法 (ECD: electro-chemical deposition) もしくは CVD 法等により、配線溝 46 および接続孔に配線材料 125 を埋め込む。

#### 【0039】


その、配線溝 46 および接続孔の内部に配線材料 125 を残すように、第 5 絶縁膜 45 上の余剰な配線材料 (銅シード層 124 も含む) 125、バリアメタル層 121 を化学的機械研磨により除去し、配線溝 46 および接続孔内に配線材料 125、バリアメタル層 121 等を残してビット線 (第 2 配線) 12 を形成するとともに表面を平坦化する。

#### 【0040】

次に、図 1 (2) に示すように、ビット線 12 を残して第 4 絶縁膜 44 上の第 5 絶縁膜 45 [前記図 1 の (1) 参照] をエッチング除去する。エッチングには、ドライプロセスによる方法とウエットプロセスによる方法がある。

#### 【0041】

ドライプロセスによる方法を以下に説明する。第 5 絶縁膜 45 がシリコン酸化膜系の材料の場合、シリコン酸化膜エッチングで使用されている炭素-フッ素 (C-F) 系のエッチングガスを用いてエッチングを行う。C-F 系のエッチングガスならば、ビット線 12 の銅を腐食することなく、また、銅をエッチングしないで、ビット線 12 と第 5 絶縁膜 45 との選択的なエッチングが可能となる。エッチング方法に関しては、典型的な異方性エッチング (RIE: Reactive Ion Etching) および等方性エッチング (CDE: chemical dry etching) が適用可



能である。

#### 【0042】

上記エッチングでは、ビット線12の側壁に第5絶縁膜45が残らないようにすることが必須となる。また過剰なオーバーエッチングによるビット線12とワード線11との接続孔の第4絶縁膜44までのエッチングしないことが必要である。

#### 【0043】

ビット線12の側壁に第5絶縁膜45が残らないようにすることに関しては、RIEとCDEの組み合わせにより、より効果的にエッチングを行うことができる。すなわち、RIEにて、ほぼジャストにエッチングを行う。RIEであるため、若干のサイドウォール形状が残る可能性があるので、その後、CDEにて等方性エッチングを行うことにより、より高精度なエッチバックを完成することができる。

#### 【0044】

過剰のオーバーエッチングに関しては、ビット線12とワード線11との接続孔の第4絶縁膜44をすべて除去するレベル、すなわち、ワード線11まで到達するようなエッチングをしなければ問題ないレベルである。より高精度なエッチングを行う場合には、エッチングストップ層を設けることで、対処が可能である。これについては、後述する。

#### 【0045】

次に、ウェットプロセスによる方法について説明する。第5絶縁膜45にシリコン酸化膜系の材料を使用する場合、フッ酸によるエッチングが有効である。なぜならば、ビット線12である銅およびバリアメタル層121はフッ酸に対して不溶であるが、シリコン酸化膜系材料は容易に溶解するためである。すなわち、第5絶縁膜45とビット線12との選択比は十分に大きいためである。フッ酸によるシリコン酸化膜系材料のエッチングレートは100nm/min～1000nm/minが望ましく、その制御はフッ酸濃度を変えることにより対応可能である。また、上記ドライプロセスによる方法と同様の課題はウェットプロセスによる方法にも存在し、ドライプロセスによる方法に記述したように、エッチング

ストッパ層を設けることが望ましく、その選択比に関しては、ドライプロセス法と同様、選択比 2 以上が望ましい。

#### 【0046】

次に、図 1 (3) に示すように、無電解めっき法により、軟磁性体層 122 をビット線 12 の露出している表面に選択的に成膜する。ここでは、バリアメタル層 121 表面および配線材料 125 表面に軟磁性体層 122 を形成している。無電解めっき法には、導電膜上には成膜されるが、絶縁膜表面には成膜されないという、選択成膜の特徴を有している。ここでは、コバルト (Co) 系の軟磁性体の選択成膜に関して記述するが、ニッケル (Ni) 系の軟磁性体でも同様であり、また、これらコバルト、ニッケルに鉄 (Fe)、ホウ素 (B)、リン (P)、タングステン (W)、バナジウム (V)、クロム (Cr)、モリブデン (Mo)、チタン (Ti) 等の添加物の混入された軟磁性体でも選択性を有する成膜を行うことが可能である。

#### 【0047】

下記に、一例として、コバルト系軟磁性体の選択成膜の実施例を説明する。図 2 は、コバルト系軟磁性体成膜の基本プロセスフローである。基本プロセスフローは図のように 5 つのステップから構成されている。

#### 【0048】

図 2 に示すように、まず、最初に表面クリーニングを行う。表面クリーニングでは、第 4 絶縁膜 44 [前記図 1 参照] 上のパーティクル、金属、金属イオン等の汚染物を除去するプロセスである。フッ酸による洗浄が効果を有するクリーニングである。先の第 5 絶縁膜 45 の除去プロセスにおいて、フッ酸によるウェットプロセスに適用した場合、本プロセスは不要となる。その他、超音波洗浄、有機酸、キレート剤混入有機酸、弱酸等を用いた洗浄も効果があり、これらを組み合わせ合わせて適用することにより、無電解めっきの選択性をより向上させることが期待される。

#### 【0049】

次に、触媒めっきを行う。コバルト系材料の場合、金属上に直接、無電解めっきでコバルトを成膜することができないため、触媒を用いる。触媒には、パラジ

ウム (Pd)、白金 (Pt)、銀 (Ag)、金 (Au) 等が用いられる。ここでは、パラジウム (Pd) による触媒めっきを、めっき方法として置換めっきを用いた場合について説明する。特にこのパラジウム置換めっきに指定する必要はない。置換めっきは容易なめっき方法であるからである。パラジウム置換めっきでは、以下に示す条件で行うことが望ましい。

#### 【0050】

めっき液のパラジウム (Pd) 濃度を 1000 ppm 以下、めっき液の水素イオン指数を 2.5 以下、めっき液の温度を 60℃ 以下、めっき時間を 240 秒以下とする。

#### 【0051】

次に、パラジウム (Pd) めっきが終了した後、クリーニングを行う。このクリーニングは、純水にて十分に行う。この触媒めっき後のクリーニングは、状況によっては省略することが可能である。例えば、パラジウム置換めっきにおいて、パラジウムがビット線 12 表面のみに選択的に成膜されていれば、省略は可能である。それは、パラジウム置換めっきの種類、成膜条件、成膜環境、および前処理の状態に左右される。選択性を完全なものにする場合には、ここで、クリーニングプロセスを導入したほうが望ましい。クリーニングは、超音波洗浄、有機酸、キレート剤混入有機酸、弱酸等を用いても効果があり、これらを併用することによって、さらに洗浄効果があがる。

#### 【0052】

次に、主工程である無電解めっきによるコバルト系の軟磁性体層 122 の成膜を行う。上記までは前処理のような形を呈しているが、これら前処理を怠ると、本無電解めっきで選択性を有した成膜ができない。無電解めっきでは、通常、アルカリ金属を有しためっき液を使用するのが一般的であるが、半導体においては、アルカリ金属は界面準位の増加を招き、酷いときには、半導体にピットを形成する等、悪影響をもたらす。したがって、アルカリ金属の混入した薬液を使用することができない。我々は、「ADMET A (Advanced Metallization Conference) 2001、アジアセッション予稿集、US セッション編」、p. 90-91 に記載されているように、アルカリフリーの薬液にて、Co-W-P (コバ

ルトータングステナーリン)の成膜に成功しており、このプロセスを応用することにより、コバルト系の軟磁性体層を形成した。基本ベースの薬液は以下のとおりである。コバルト源には硫酸コバルトを用い、錯化剤にはクエン酸アンモニウムを用い、緩衝剤には硫酸アンモニウムを用い、還元剤には次亜リン酸アンモニウムを用い、水素イオン指数 (pH) 調整剤にはTMAH (テトラメチルアンモニウムヒドロキシド) を用いた。また、コバルト系の軟磁性体層の無電解めっき成膜の望ましい条件は以下のとおりである。めっき液の水素イオン指数 (pH) は 8 以上 11 以下、めっき液の温度は 55℃以上 80℃以下、めっき時間は 180 秒以下である。

#### 【0053】

無電解めっき後には、十分に純水洗浄を行い、めっき液を洗い流す。最後に、クリーニングを行う。本クリーニングプロセスも必要に応じて、実施すればよい。本クリーニングプロセスでは、アルカリ系薬剤が望ましく、キレート剤、界面活性剤等を混入することにより、より効果が得られる。また、超音波洗浄との併用も効果がある。また、希薄酸による洗浄も効果があるが、コバルト系材料は酸に溶解するため、十分な管理が必要である。以上が無電解めっきによる軟磁性体層の選択成膜プロセスである。

#### 【0054】

次に、第5絶縁膜45にエッチングストッパ層を設ける一例を、図3の製造工程図によって説明する。

#### 【0055】

例えば、図3(1)に示すように、第5絶縁膜45を形成する前に、エッチングストッパ層451を形成する。このエッチングストッパ層451は、第5絶縁膜45および第4絶縁膜44、ビット線12等とエッチング選択比が取れる材料で形成される。例えば、窒化シリコン (SiN)、炭化シリコン (SiC)、アモルファスカーボンで形成することができる。

#### 【0056】

その後、図3の(2)に示すように、第5絶縁膜45〔前記図3の(1)参照〕をエッチングして除去する。このエッチングプロセスは上記説明したのと同様

である。その後、エッチングストッパ層 451 を選択的にエッチング除去する。

#### 【0057】

その後、図 3 (3) に示すように、前記図 1 (3) によって説明したのと同様にして、ビット線 12 の露出している表面に選択的に軟磁性体層 122 を成膜する。

#### 【0058】

また、上記第 5 絶縁膜 45 は犠牲層であり、除去されるものであることから、例えば、ホウ素 (B)、リン (P)、メチル基 ( $-CH_3$  等) 等の含有されたシリコン酸化膜を用い、エッチングストッパ層 451 として NSG (non-doped silicate glass) 等を用いることもできる。

#### 【0059】

また、第 5 絶縁膜 45 をホウ素 (B) およびリン (P) のうち少なくとも一種がドーピングされたシリコン酸化膜またはナノガラス等のポーラス酸化膜または MSQ (Methyl Silsesquioxane : メチルシルセスキオキサン) 系の低誘電率膜、炭化酸化シリコン ( $SiOC$ ) 系の低誘電率膜で形成し、エッチングストッパ層 451 を、例えば、窒化シリコン ( $SiN$ )、炭化シリコン ( $SiC$ )、アモルファスカーボンで形成することができる。

#### 【0060】

上記エッチングストッパ層の例は一例である。基本的には、第 5 絶縁膜 45 のとエッチングストッパ層 451 との間に、フッ酸に対する選択性を有していればよく、その選択性に関しては、以下のエッチングレート比を満足していれば、安定なプロセスを達成することができる。すなわち、選択比 = [第 5 絶縁膜 45 のエッチングレート] / [エッチングストッパ層 451 のエッチングレート]  $\geq 2$  を満足すればよい

#### 【0061】

また、上記エッチングストッパを形成する技術では、エッチングストッパ 451 を形成する前に、第 4 絶縁膜 44 を形成しようとするエッチングストッパ層 451 の厚さ分程度、選択的にエッチングしておいてもよい。このエッチングでは、記憶素子 13 の上部に形成される電極の膜厚を超えないようにすることが望ま

しい。

#### 【0062】

または、上記エッチングストッパを形成する技術では、エッチングストッパ451を形成する前に、第4絶縁膜44表面をプラズマ窒化处理もしくは窒素イオン注入、フッ素イオン注入、炭素イオン注入等を行い、第4絶縁膜44表面を改質してエッチングストッパ層451とすることも可能である。

#### 【0063】

また、第4絶縁膜44を第5絶縁膜45のエッチングに対してエッチングされない材料で形成することも望ましい。例えば、第4絶縁膜44および第5絶縁膜45の一方を有機系絶縁膜で形成し、他方を無機系絶縁膜で形成してもよい。

#### 【0064】

次に、本発明の磁気記憶装置の製造方法に係る第2実施の形態を、図4の製造工程断面図によって説明する。

#### 【0065】

この第2実施の形態は、前記第1実施の形態の軟磁性体層の選択性をより向上させる効果を有する製造方法である。第2実施の形態と前記第1実施の形態との違いは、第5絶縁膜を除去した後、さらにビット線のバリアメタル層を除去するプロセスを導入したところにある。バリアメタル層の除去により、ビット線表面がすべて銅になることにより、容易に軟磁性体層の選択成長が可能になる。それは、触媒めっきであるパラジウムの成膜に起因している。バリアメタル層には高融点金属が用いられており、触媒金属層の成膜は容易ではない。一方、銅表面には容易に触媒金属層が成膜される。その容易性はプロセス条件に明確に現れている。以下に、主要な部分を説明する。

#### 【0066】

図4(1)に示すように、前記図1(1)によって説明したのと同様にして、第5絶縁膜45に溝配線構造のビット線12を形成する。

#### 【0067】

その後、図4(2)に示すように、前記図1(2)によって説明したのと同様にして、第5絶縁膜45〔前記図4の(1)参照〕を除去し、ビット線12の側

面も露出させる。

#### 【0068】

次に、図4(3)に示すように、ビット線12表面に形成されているバリアメタル層121〔前記図4の(2)参照〕を除去する。バリアメタル層121の除去には、ドライプロセスを用いるのがよいが、材料によってはウエットプロセスも可能である。ウエットプロセスで可能なバリアメタル材料としては、チタン(Ti)、タングステン(W)、窒化タングステン(WN)等があげられ、これらは過酸化水素水(H<sub>2</sub>O<sub>2</sub>)、フッ酸で除去できる。ドライプロセスでは、タンタル(Ta)、窒化タンタル(TaN)、窒化バナジウム(VN、)、タングステン(W)、チタン(Ti)、窒化チタン(TiN)、窒化タングステン(WN)等の一般的なバリアメタル材料ならばフッ化イオウ(S-F)系のエッチングガスを使用すれば容易に除去できる。また、多少銅の膜減少を伴うが、スパッタリングによる除去も可能である。

#### 【0069】

その後、図4(4)に示すように、ビット線12の表面に、無電解めっきによる選択成膜によって軟磁性体層122を成膜する。この軟磁性体層の成膜プロセスの基本は、前記図2によって説明したのと同様である。

#### 【0070】

先に述べたように、触媒めっき工程(パラジウム置換めっき)については、第1実施の形態ではバリアメタル層121へのパラジウム置換を伴っていたため、ハードなプロセスを適用する必要があったが、ビット線12にバリアメタル層121が形成されていない状態のため、ソフトなプロセスを適用することができる。以下に、パラジウム触媒置換めっきプロセスの望ましい条件を示す。めっき液のパラジウム(Pd)濃度を100ppm以下、めっき液の水素イオン指数を5以下、めっき液の温度を45℃以下、めっき時間を180秒以下とする。その他の触媒めっき前後および無電解めっき後のクリーニングプロセスおよび無電解めっきプロセスに関しては、第1実施の形態と同様である。

#### 【0071】

次に、本発明の磁気記憶装置の製造方法に係る第3実施の形態を、図5の製造



工程断面図によって説明する。

#### 【0072】

第3実施の形態では、前記第1、第2実施の形態の無電解めっきによるビット線の選択完全被覆を達成するために、軟磁性体層を成膜しない部分にマスクを行い、選択無電解めっきによる軟磁性体層を成膜した後、マスクを剥離する、いわゆるリフトオフ法を用いた方法である。以下に、第3実施の形態を説明する。

#### 【0073】

図5(1)に示すように、前記図1(1)によって説明したのと同様にして、第5絶縁膜45に溝配線構造のビット線12を形成する。

#### 【0074】

次に、図5(2)に示すように、前記図1(2)によって説明したのと同様にして、第5絶縁膜45〔前記図5の(1)参照〕を除去し、ビット線12の側面も露出させる。ここではさらに、前記図4(3)によって説明したのと同様にし、バリアメタル層121〔前記図5の(1)参照〕を除去する。ここでは、バリアメタル層121を除去した状態を示したが、バリアメタル層121は必ずしも除去しなくてもよい。

#### 【0075】

次に、図5(3)に示すように、ビット線12以外の領域に、マスクを形成する。例えば、全面にレジストを塗布した後、ビット線12を形成する際に用いたレチクルを用いて、リソグラフィー工程を行い、レジスト膜61におけるビット線12の部分に開口部62を形成する。

#### 【0076】

次に、図5(4)に示すように、ビット線12の表面に、無電解めっきによる選択成膜によって軟磁性体層122を成膜する。この軟磁性体層の成膜プロセスの基本は、前記図2によって説明したのと同様である。

#### 【0077】

レジスト膜61は絶縁物であるため、プロセス異常、異物のレジスト膜61上への付着等がない限り、レジスト膜61上には軟磁性体膜122は成膜されない。ただし、レジスト膜61上に軟磁性体層122が成膜されても、後述のプロセ

スで除去されるので、特に問題とはならない。

#### 【0078】

次に、図5（5）に示すように、レジスト膜61〔前記図5の（4）参照〕を除去する。これによって、第1、第2実施の形態で説明したのと同様に、ビット線12の上面および側面に軟磁性体層122は形成された構成が得られる。

#### 【0079】

第3実施の形態の有効性は以下のように説明できる。前記第1、第2実施の形態において、何らかのトラブルで無電解めっきの選択性が破れても、その選択性破れで発生した異物は最後に剥離されるレジスト膜61上に存在するので、プロセスの最後にはその異物は除去されていることになる。つまり、軟磁性体層122のビット線12表面への完全な選択性を達成することができる。また、リフトオフ法ではマスク（レジスト膜61）上に成膜された膜が剥離し、それが異物となり、デバイスの欠陥につながるという問題があるが、上記に説明したように、この無電解めっきでは、成膜される材料（軟磁性体）は絶縁膜上には成膜されない、という特性を有しているため、上記リフトオフ法の問題は、第3実施の形態では発生しない。

#### 【0080】

次に、本発明の磁気記憶装置の製造方法に係る第4実施の形態を、図6の製造工程断面図によって説明する。

#### 【0081】

第4実施の形態では、前記第1、第2実施の形態で説明した基本プロセス、すなわち、ビット線が形成されている第5絶縁膜の除去を行った後、ビット線表面に軟磁性体層を選択的に成膜するという基本プロセスを踏襲したものになっている。第4実施の形態と第1、第2実施の形態との違いは、第5絶縁膜を除去するのではなく、ビット線側壁のバリアメタル層、またはバリアメタル層および数十nmの厚さ分の第5絶縁膜を除去することである。以下に、第4実施の形態を説明する。

#### 【0082】

図6（1）に示すように、前記図1（1）によって説明したのと同様にして、

第5絶縁膜45に溝配線構造のビット線12を形成する。

#### 【0083】

次に、図6(2)に示すように、バリアメタル層121〔前記図6の(1)参照〕を除去する。またはバリアメタル層121およびそのバリアメタル層121に接している部分の第5絶縁膜45を数十nmの厚さだけ除去する。その結果、ビット線12の側壁に溝48が形成される。

#### 【0084】

0.25 $\mu$ mデザインルール以降のビット線12では0.35 $\mu$ m幅以下になるので、ビット線12側壁に形成されるバリアメタル層121の膜厚はスパッタリング法を用いた場合、1.5nm以下と予想される。このバリアメタル層121は前述したように、フッ化イオウ(S-F)を含むガス系でエッチングすることが可能である。また、次工程の無電解めっきによる選択成膜の埋め込み性および磁束収束効果に必要な膜厚にもよるが、ビット線12側壁に隣接する第5絶縁膜45をエッチングすることも視野に入れたプロセスも有効な方法である。第5絶縁膜45のエッチングには、前述のドライエッチングプロセスまたはウェットエッチングプロセスをそのまま適用できる。エッチングの膜厚は数十nm程度でよく、多くて50nm程度である。ちなみに、次工程の無電解めっきでは5nm以上の隙間ならば十分にめっき材料を埋め込むことが可能である。

#### 【0085】

次に、図6(3)に示すように、ビット線12の表面に、無電解めっきによる選択成膜によって軟磁性体層122を成膜する。このとき、溝48内部は軟磁性体層122によって埋め込まれることが好ましい。この軟磁性体層の成膜プロセスの基本は、前記図2によって説明したのと同様である。また、本実施の形態では、軟磁性体層122の下地層は第5絶縁膜45と銅が露出されたビット線12であるため、前記第2実施の形態で説明した軟磁性体層の無電解めっきプロセスを適用することができる。

#### 【0086】

次に、本発明の磁気記憶装置の製造方法に係る第5実施の形態を、図7の製造工程断面図によって説明する。

## 【0087】

第5実施の形態では、従来技術におけるビット線上の軟磁性体被覆(キャップ)を改善したものであり、改善点は、工程の削除、すなわち、TATの短縮である。TATの短縮には、前述した無電解めっきによる選択成膜が有効に作用する。以下、第5実施の形態を説明する。

## 【0088】

図7(1)に示すように、前記図1(1)によって説明したのと同様にして、第5絶縁膜45に溝配線構造のビット線12を形成する。

## 【0089】

その後、図7(2)に示すように、ビット線12の表面にのみ、無電解めっきによる選択成膜によって軟磁性体層122を成膜する。この軟磁性体層の成膜プロセスの基本は、前記図2によって説明したのと同様である。また、本実施の形態では、軟磁性体層122の下地層は銅が露出されたビット線12であるため、前記第2実施の形態で説明した軟磁性体層の無電解めっきプロセスを適用することができる。

## 【0090】

次に、本発明の磁気記憶装置の製造方法に係る第6実施の形態を、図8の製造工程断面図によって説明する。

## 【0091】

第6実施の形態では、無電解めっきの完全なる選択性を期すために、レジストマスクを用いたリフトオフ法を適用した方法である。以下、第6実施の形態を説明する。

## 【0092】

図8(1)に示すように、前記図1(1)によって説明したのと同様にして、第5絶縁膜45に溝配線構造のビット線12を形成する。

## 【0093】

次に、図8(2)に示すように、ビット線12以外の領域に、マスクを形成する。例えば、全面にレジストを塗布した後、ビット線12を形成する際に用いたレチクルを用いて、リソグラフィー工程を行い、レジスト膜63におけるビット

線 1 2 の部分に開口部 6 4 を形成する。このレジスト膜 6 3 はリフトオフ用のマスクであり、通常のプラズマエッチングで用いるわけではないので、UV キュア等のレジスト耐性を強化するようなプロセスは不要である。レジスト膜厚に関しては、精度よいパターンニングができればよく、かつ、その上層に成膜を行う軟磁性体層の膜厚より厚ければよい。したがって、レジスト膜厚の範囲は 500 nm 以下が望ましい。

#### 【0094】

次に、図 8 (3) に示すように、ビット線 1 2 の表面に、無電解めっきによる選択成膜によって軟磁性体層 1 2 2 を成膜する。この軟磁性体層の成膜プロセスの基本は、前記図 2 によって説明したのと同様である。また、本実施の形態では、軟磁性体層 1 2 2 の下地層は銅が露出されたビット線 1 2 であるため、前記第 2 実施の形態で説明した軟磁性体層の無電解めっきプロセスを適用することができる。

#### 【0095】

レジスト膜 6 3 は絶縁物であるため、プロセス異常、異物のレジスト膜 6 3 上への付着等がない限り、レジスト膜 6 3 上には軟磁性体膜 1 2 2 は成膜されない。ただし、レジスト膜 6 3 上に軟磁性体層 1 2 2 が成膜されても、後述のプロセスで除去されるので、特に問題とはならない。また、めっき選択性は、次工程のレジスト剥離工程において、異物低減の二次的な効果ももたらしている。

#### 【0096】

次に、図 8 (4) に示すように、レジスト膜 6 3 [前記図 8 の (3) 参照] を除去する。これによって、第 1、第 2 実施の形態で説明したのと同様に、ビット線 1 2 の上面および側面に軟磁性体層 1 2 2 は形成された構成が得られる。このレジスト剥離工程では、レジスト膜 6 3 上には軟磁性体層 1 2 2 が成膜されていないこと、レジスト膜 6 3 を硬化させていないことから、容易にレジスト剥離が可能となる。また、200℃程度の酸素プラズマ中ならば、コバルトを主体とする軟磁性体層 1 2 2 は酸化されないので、アッシングによる除去も可能である。

#### 【0097】

一般的なりフトオフの問題点として、レジスト上に成膜された材料がレジスト

から剥離して異物となることが言われているが、前述したように、レジスト膜 63 上には軟磁性体層 122 は成膜されることはないので、レジスト膜 63 から剥離された成膜材料による異物は存在しないといえる。

#### 【0098】

上記各実施の形態では、従来技術に説明したプロセスと比較して、工程数を削減できる。また、無電解めっきにより軟磁性体層を成膜するため、軟磁性体層はビット線にのみ選択的に成膜される。そのため、軟磁性体層が絶縁膜表面に形成されないので、絶縁膜を軟磁性体層によって汚染されることはない。また軟磁性体層が無電解めっきにより成膜されることから、従来技術のように、軟磁性体層をドライエッチングする負担がない。さらに、ビット線側壁および上面を軟磁性体層で完全に覆うことができるため、ビット線で発生される電流磁界の漏れがなく、効率よく記憶素子に電流磁界を導くことができる。さらに、軟磁性体層に、軟磁性体層の結晶粒界を補強する添加物を入れることにより、銅に対する拡散バリア耐性を有する材料も作製可能である。

#### 【0099】

また、上記第 1～第 4 実施の形態では、ビット線の側壁および上面に無電解めっきにより軟磁性体を形成することから、従来技術のように配線溝内に軟磁性体層を形成し、それをエッチバックしてビット線側壁に軟磁性体層を残す方法よりも、プロセスの安定性が向上し、従来技術のようにビット線上面に軟磁性体層を形成する際に必要なマージンを確保する必要がない。そのため、素子の微細化を図れる。

#### 【0100】

本発明では、軟磁性体膜の成膜に選択性を有する無電解めっき法を採用することにより、ビット線 12 の上面および側面に軟磁性体層 122 を形成するクラッド構造形成を簡単かつ安定性のあるプロセスにて形成することができる。また、無電解めっき成膜の被覆率(カバレッジ)はドライプロセス成膜のそれと比較して、数段と良く、ほぼ 100%に近いカバレッジで成膜することができることも、無電解めっき法を適用することの利点である。また、無電解めっき法によるコバルト (Co)、ニッケル (Ni) 等の軟磁性体の成膜は、保護膜、コーティング

材、磁気ヘッド等に古くから実績のあるものであり、半導体用に応用することにより容易できる。

#### 【0101】

課題解決のための本発明のもう一つの重要なプロセスは、ビット線12側壁周りの第5絶縁膜45を除去することである。第5絶縁膜45の除去にはドライエッチング、ウエットエッチングの両方を用いることができる。ドライエッチングの場合、従来技術と同じように全面エッチバックプロセスになるが、エッチバックされる膜種が酸化膜、窒化膜等の絶縁物である。絶縁物のエッチバックプロセスは、半導体では2.0  $\mu\text{m}$ ノードの世代から採用されている技術であり、十分に実績がある。一方、従来技術である金属のエッチバック技術に関しては、0.8  $\mu\text{m}$ ノードの世代からタングステン膜のエッチバック技術が最初であり、現在では、そのタングステンのエッチバック技術も歩留まりの観点から化学的機械研磨(CMP)技術に変わりつつある。すなわち、ビット線底の金属膜を除去し、ビット線のクラッドを形成する従来技術では、金属のエッチバック技術を採用するので、パーティクル発生による汚染等の課題がある。ウエットエッチングによる絶縁膜の除去では、フッ化水素系の薬液で除去可能である。ビット線12が銅で形成される場合には、銅がフッ酸に対して不溶であり、選択的なエッチングができることに利点がある。

#### 【0102】

本発明の磁気記憶装置の製造方法は、磁気抵抗効果を利用して情報の書き込みを行う磁気記憶装置のビット線に対して適用することができる。したがって、ビット線より下層の構成は上記各実施の形態で説明した構成に限定されることはなく、例えば、ワード線上に選択素子(例えばダイオード)を形成し、その選択素子に接続して記憶素子を形成し、さらにビット線が形成された構成の製造方法にも適用することができる。また、上記各実施の形態においては、ビット線の幅は記憶素子の幅と同等もしくは記憶素子の幅より大きく形成してもよい。例えば、ビット線側壁に形成される軟磁性体層の間隔が記憶素子の幅となるように形成することが望ましい。

#### 【0103】

**【発明の効果】**

以上、説明したように本発明の磁気記憶装置の製造方法によれば、ビット線の側面および上面のみに選択的に軟磁性体層を形成することができるので、ビット線で発生される電流磁界を効率よく記憶素子に導くことができる。よって、磁界を発生させるために必要なビット線への供給電流を小さくすることができるので、磁気記憶装置の消費電力の低減が図れるとともに、記憶感度を高めることができる。また、ビット線による書き込み効率を向上させるために、ビット線と記憶素子との間の距離を短くする必要がないので、その間の絶縁膜を形成するプロセスマージンを広げることができる。

**【0104】**

また、軟磁性体層の形成工程数を削減できるので、TAT (turn around time) の短縮化、ランニングコストの低減が図れる。また軟磁性体膜には、銅に対するバリア性もあるため、主配線である銅の実質的な体積を大きくすることができ、ビット線の低抵抗化が図れ、この点でも消費電力の低減が図れる。それとともに、エレクトロマイグレーションやストレスマイグレーション等の配線信頼性の向上が図れる。また、ビット線表面のみに選択的に軟磁性体層を形成することができるので、ミスアライメントを考慮した余裕を設けることが不用になるため、メモリ部のセルサイズの縮小化が図れる。

**【0105】**

また、絶縁膜とビット線との界面では電子の界面散乱が発生し、エレクトロマイグレーション耐性が著しく低減されることが知られているが、ビット線は導電体である軟磁性体膜およびバリアメタル層に囲われているため、ビット線を構成する銅と絶縁物との界面が存在しないので、電子の界面散乱で誘起されるエレクトロマイグレーション現象がなくなり、エレクトロマイグレーション耐性が向上できる。

**【0106】**

また、銅に対する拡散バリア性を有する軟磁性体層を成膜する場合には、通常、ビット線上層に成膜されるバリア絶縁膜を省略することができるので、層間絶縁膜の実効的な誘電率を低減することができる。このことは、磁気記憶装置とロ



ジック素子とを同一基板上に形成した構成において、ロジック素子部の低誘電率化が図れ、それによって配線遅延の低減が図れ、ロジック回路の高速化が期待できる。

#### 【0107】

また、請求項1、7に係る発明によれば、配線溝底部に軟磁性体層を形成する工程が必要ないので、配線溝底部の軟磁性体層を除去するエッチングによるパーティクルの発生が無くなり、磁気記憶装置の歩留まり向上が図れる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の磁気記憶装置の製造方法に係る第1実施の形態を示す製造工程断面図である。

##### 【図2】

コバルト系軟磁性体成膜の基本プロセスを示す流れ図である。

##### 【図3】

エッチングストッパ層を設ける一例を示す製造工程図である。

##### 【図4】

本発明の磁気記憶装置の製造方法に係る第2実施の形態を示す製造工程断面図である。

##### 【図5】

本発明の磁気記憶装置の製造方法に係る第3実施の形態を示す製造工程断面図である。

##### 【図6】

本発明の磁気記憶装置の製造方法に係る第4実施の形態を示す製造工程断面図である。

##### 【図7】

本発明の磁気記憶装置の製造方法に係る第5実施の形態を示す製造工程断面図である。

##### 【図8】

本発明の磁気記憶装置の製造方法に係る第6実施の形態を示す製造工程断面図

である。

【図 9】

従来の磁気記憶装置の製造方法を示す製造工程断面図である。

【図 10】

従来の磁気記憶装置の製造方法を示す製造工程断面図である。

【図 11】

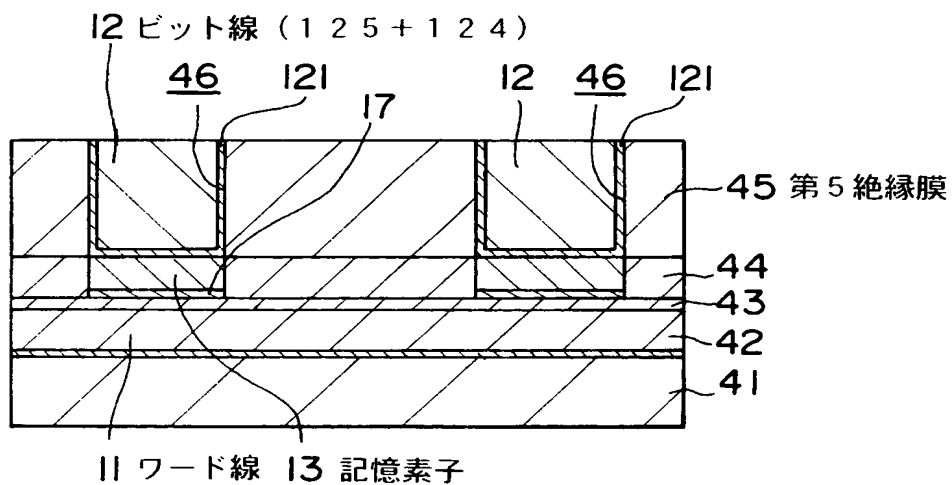
従来の磁気記憶装置の製造方法を示す製造工程断面図である。

【符号の説明】

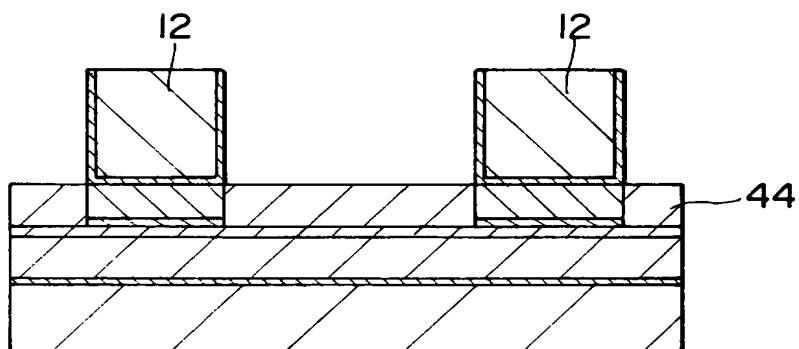
11…ワード線（第1配線）、12…ビット線（第2配線）、13…記憶素子  
、45…第5絶縁膜、122…軟磁性体層

【書類名】 図面

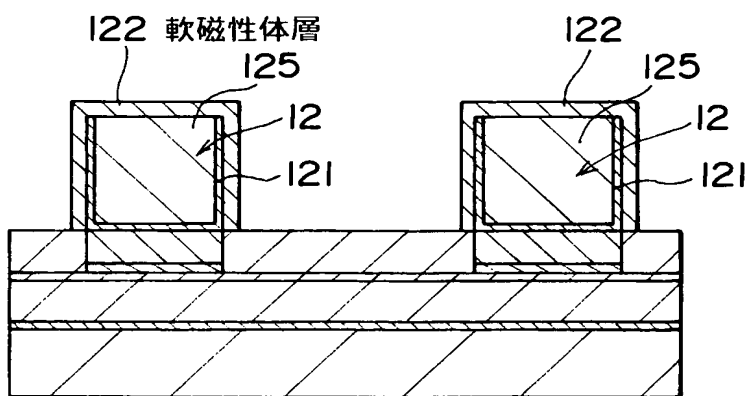
【図 1】



(1)

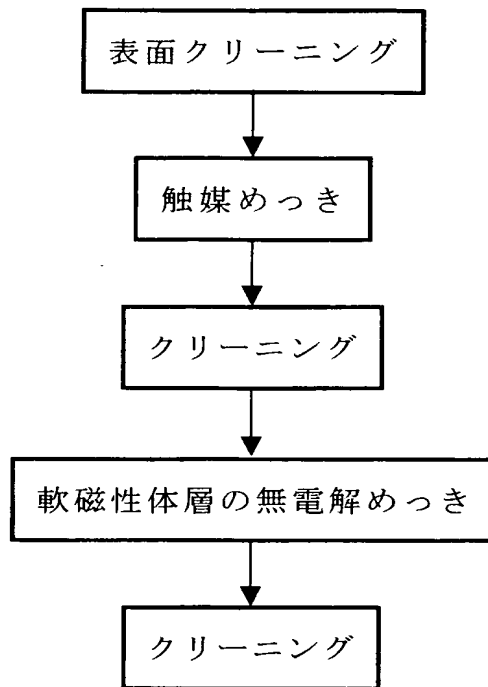


(2)

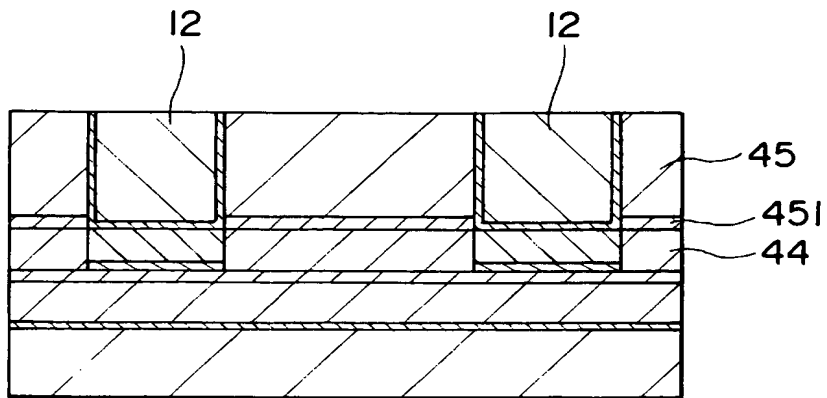


(3)

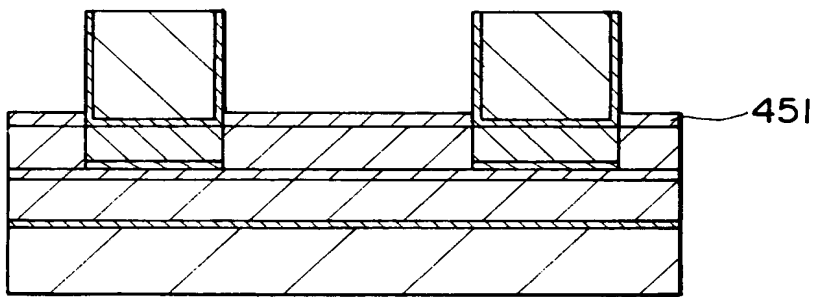
【図 2】



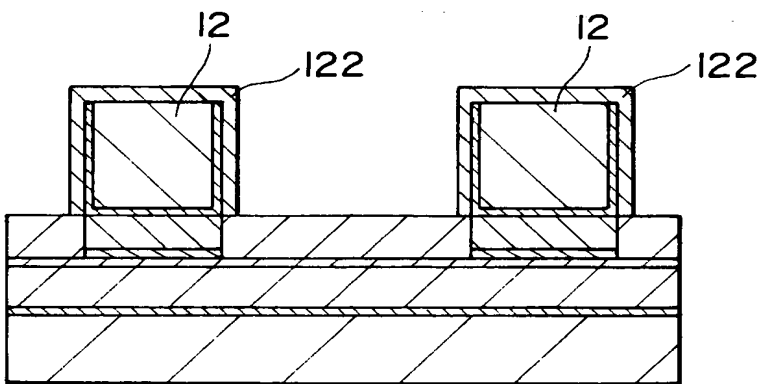
【図 3】



(1)

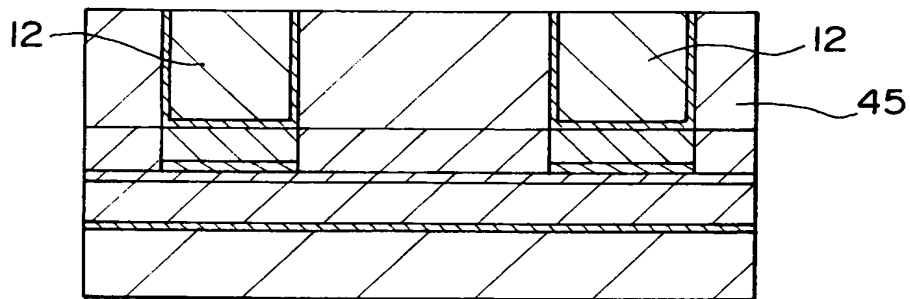


(2)

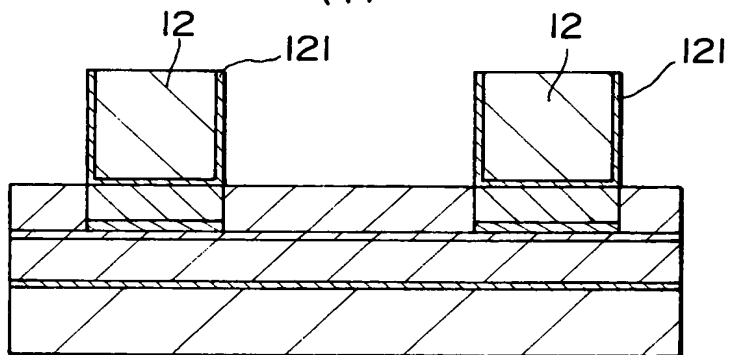


(3)

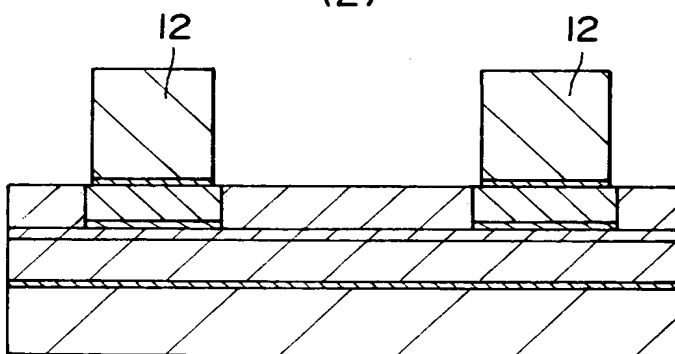
【図 4】



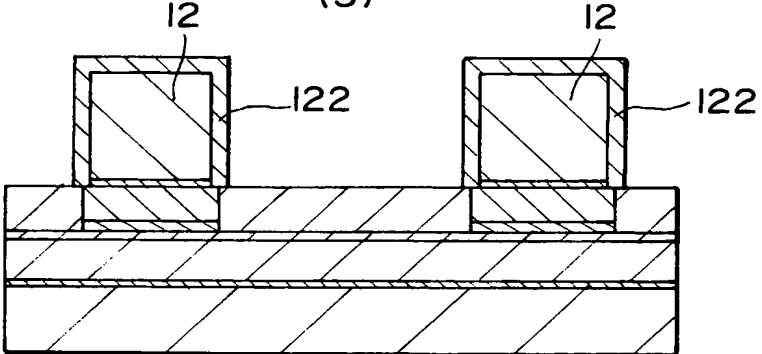
(1)



(2)

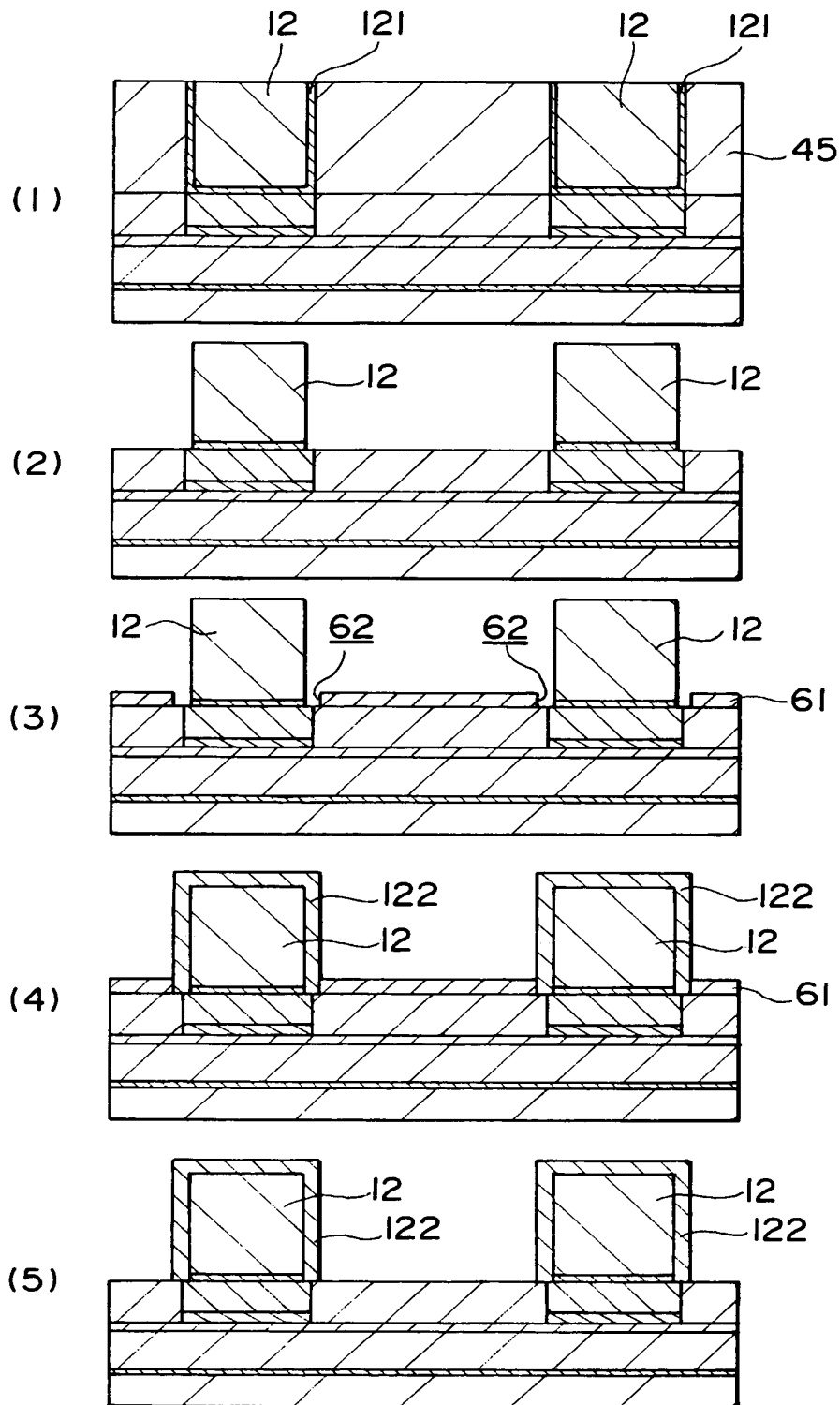


(3)

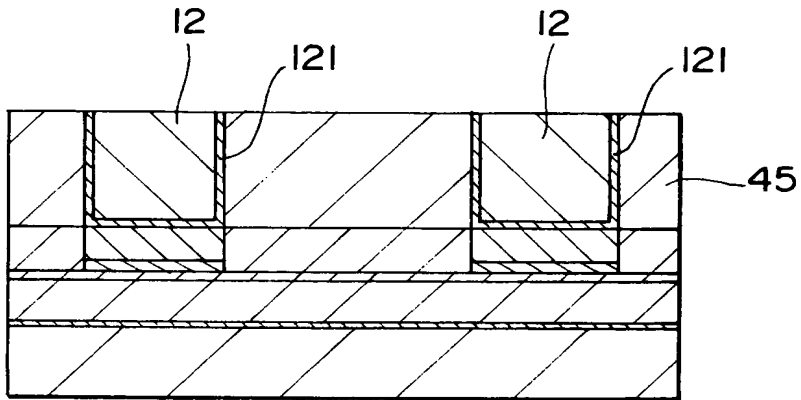


(4)

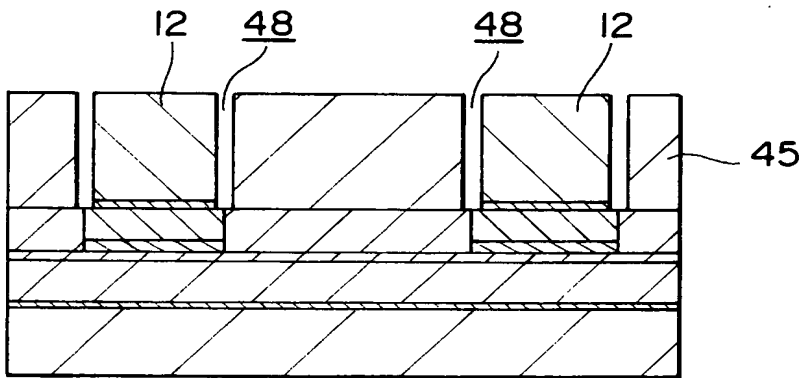
【図 5】



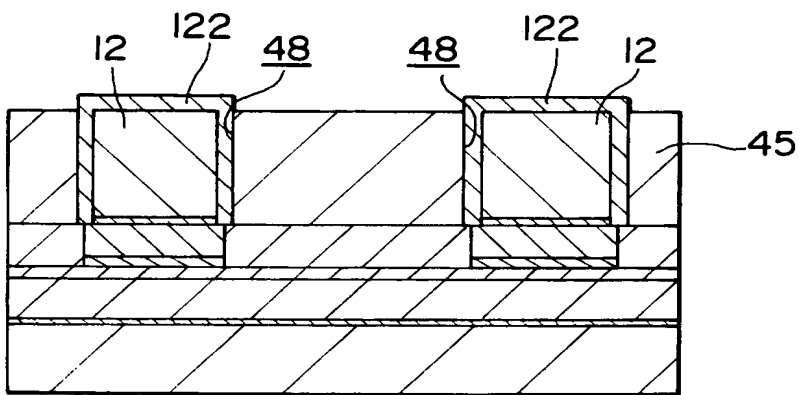
【図 6】



(1)



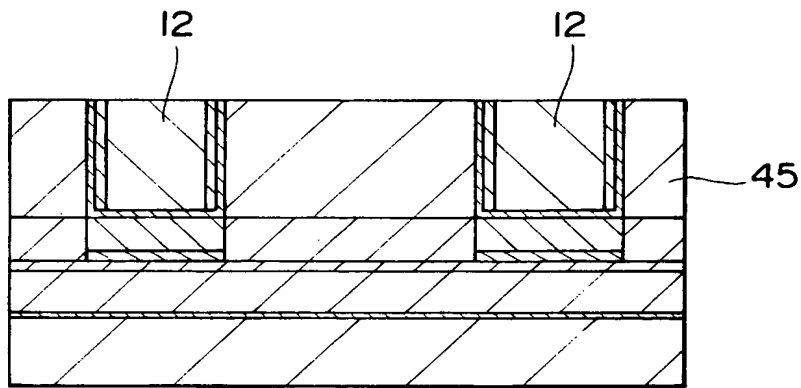
(2)



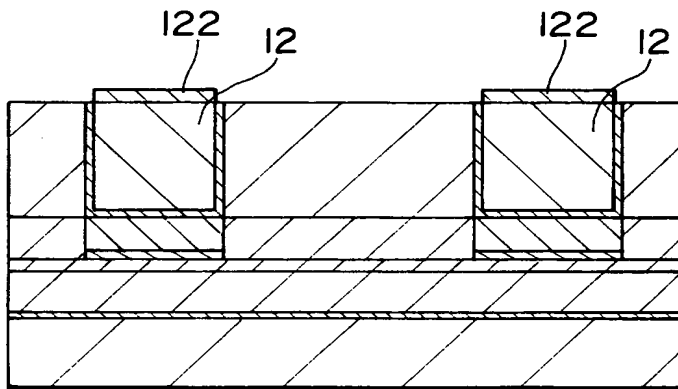
(3)



【図7】

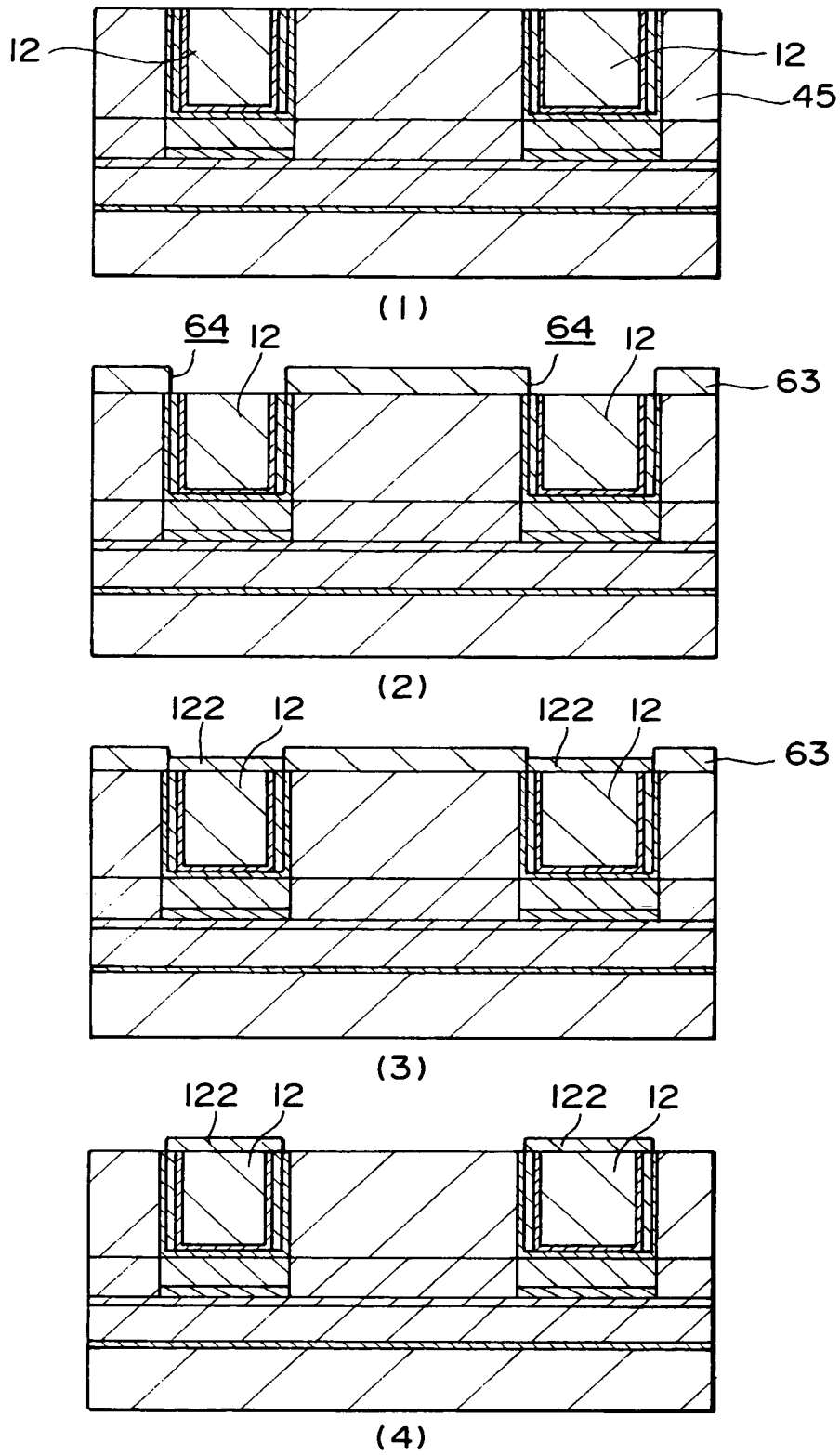


(1)

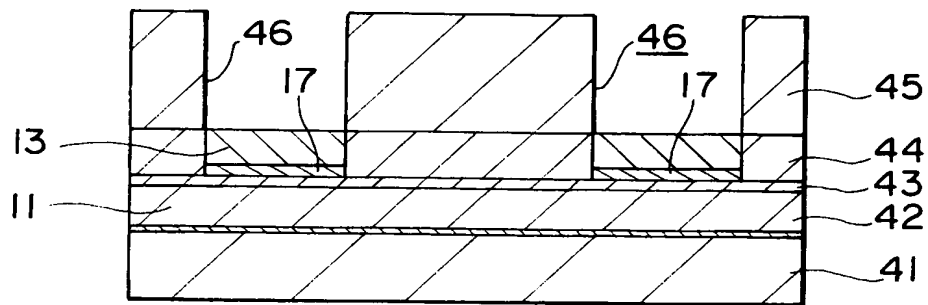


(2)

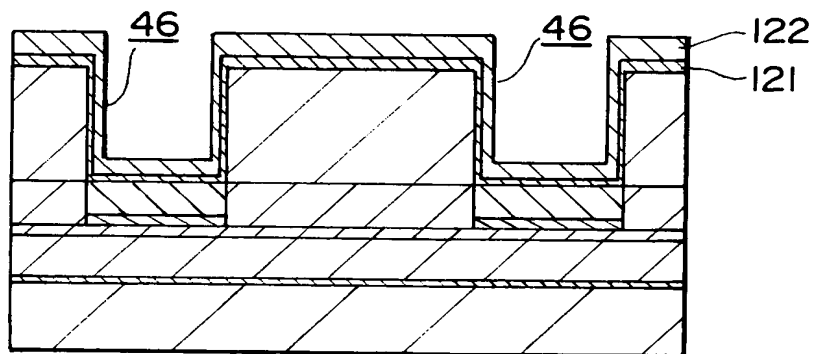
【図 8】



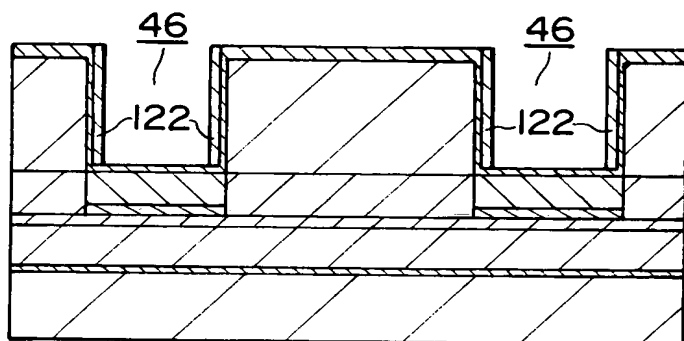
【図 9】



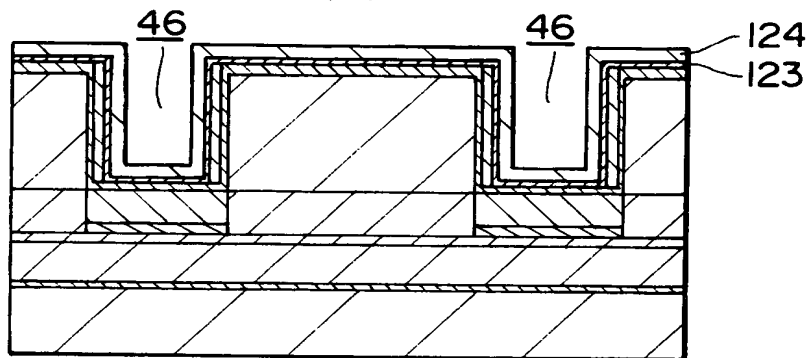
(1)



(2)

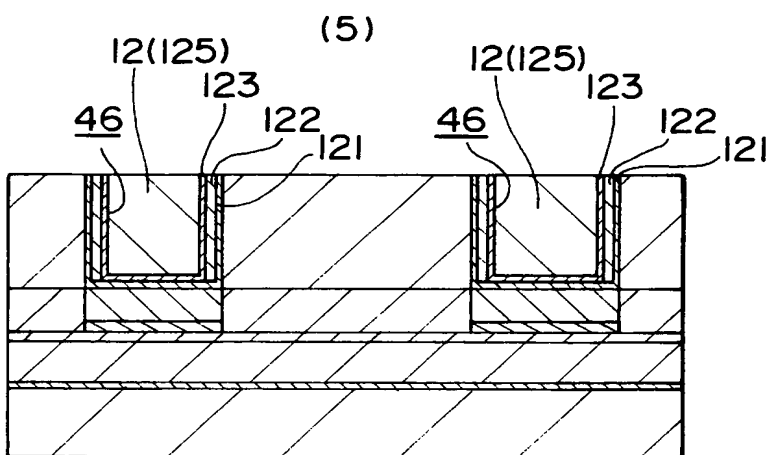
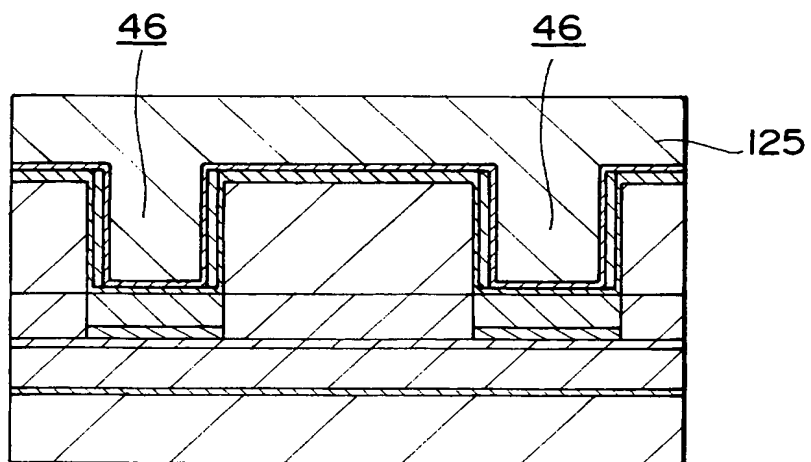


(3)

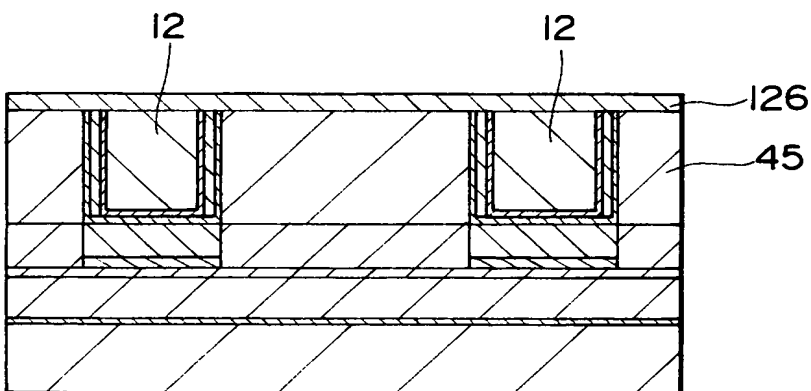


(4)

【図 10】



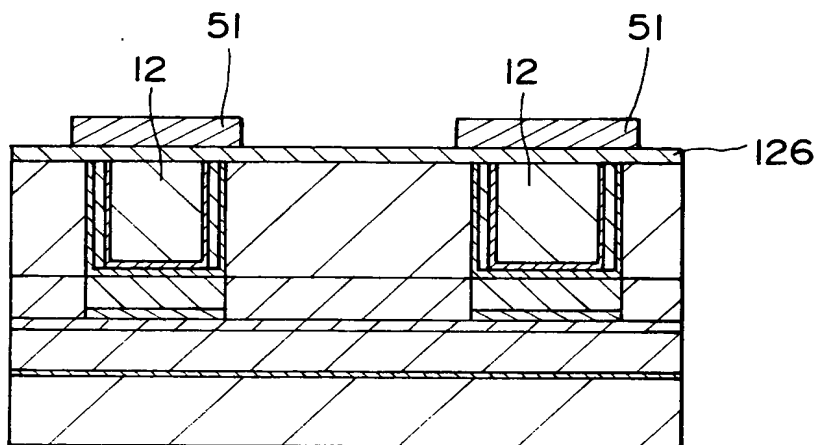
(6)



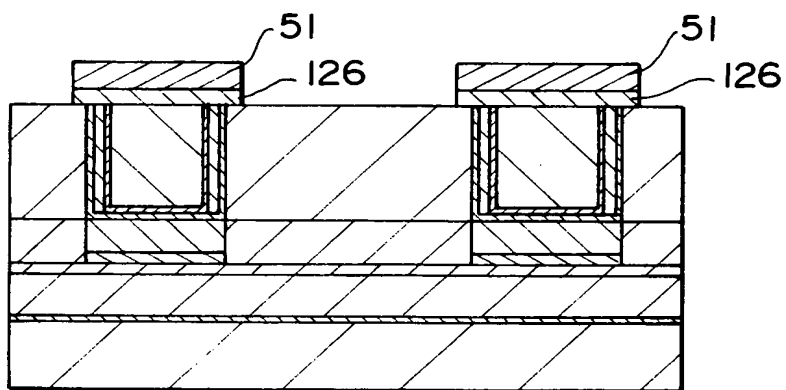
(7)



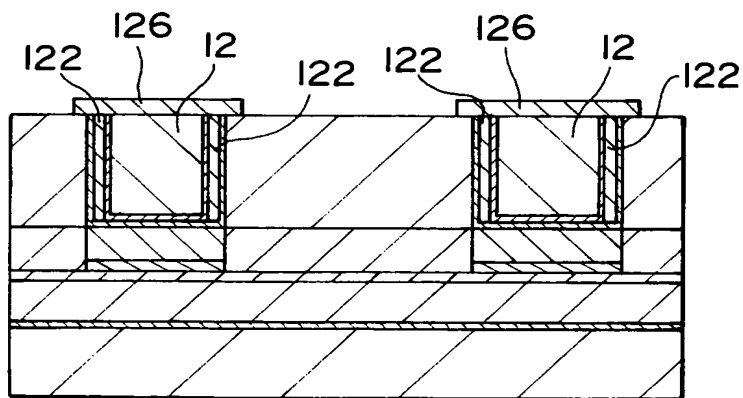
【図 11】



(8)



(9)



(10)

【書類名】 要約書

【要約】

【課題】 ビット線のクラッド構造を形成するに際し、プロセスの安定性、マージンを確保し、さらなる微細化を可能にし、磁気記憶装置の高速化、信頼性の向上、歩留りの向上を図る。

【解決手段】 ワード線 11 を形成する工程と、トンネル絶縁層を強磁性体で挟んでなるものでワード線 11 と電氣的に絶縁された磁気抵抗効果型の記憶素子 13 を形成する工程と、記憶素子 13 を覆う第 5 絶縁膜 45 を形成する工程と、電氣的に記憶素子 13 と接続するもので記憶素子 13 を間にしてワード線 11 と立体的に交差するビット線 12 を第 5 絶縁膜 45 に埋め込むように形成する工程とを備えた不揮発性の磁気記憶装置の製造方法において、ビット線 12 側部の第 5 絶縁膜 45 を除去してビット線 12 を露出させる工程と、ビット線 12 表面にのみ選択的に軟磁性体層 122 を形成する工程とを備えた磁気記憶装置の製造方法である。

【選択図】 図 1

特願 2003-066081

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社